

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-116124

(43)Date of publication of application : 27.04.1990

(51)Int.Cl.

H01L 21/28

H01L 21/90

(21)Application number : 63-269677

(71)Applicant : NEC CORP

(22)Date of filing : 25.10.1988

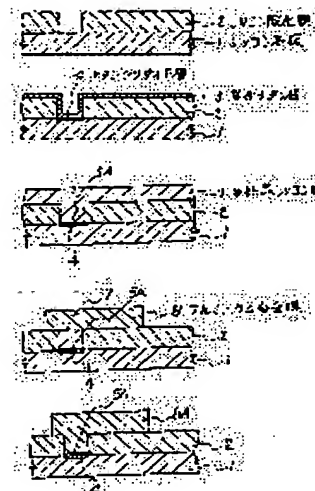
(72)Inventor : YAMADA YOSHIKI

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To enable an element to be connected securely by providing an opening at an insulation film on a substrate, forming a barrier metal layer on it, embedding the inside of the opening with Si, and then forming an electrode wiring after attaching Al.

CONSTITUTION: An opening 10 is formed at an Si oxide film 2 on an Si substrate 1 where elements are formed and then a titanium silicide layer 4 and a titanium nitride layer 5 are formed within the opening 10. Then, the layer 5 is formed on the film 2. Then, the layer 5 is eliminated, a titanium nitride layer 5A is formed on the surface of the layer 4, a polycrystal Si is formed in a film thickness exceeding 1/2 of diameter of the opening 10 on all surface of the substrate 1, the opening 10 is embedded by a polycrystalline Si film 7, and then the film 7 is etched until the surface of the film 2 is exposed. Then, after forming an Al alloy film 8, patterning is made, heat treatment is made, and the inside of the opening 10 is embedded by an Al alloy film 8A, thus forming an electrode wiring.



Best Available Copy

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-116124

⑬ Int.Cl.⁵

H 01 L 21/28
21/90

識別記号

3 0 1 T
R
D

庁内整理番号

7738-5F
7738-5F
6824-5F

⑭ 公開 平成2年(1990)4月27日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体集積回路の製造方法

⑯ 特 願 昭63-269677

⑰ 出 願 昭63(1988)10月25日

⑱ 発 明 者 山 田 義 明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路の製造方法

特許請求の範囲

半導体基板上に形成された絶縁膜に開口部を設ける工程と、シリコンとアルミニウムの相互拡散を防止するバリアメタル層を少なくとも前記開口部内に形成する工程と、前記開口部内をシリコンで埋設する工程と、埋設された前記シリコン表面を含む前記半導体基板上にアルミニウム膜又はアルミニウム合金膜を形成する工程とを含むことを特徴とする半導体集積回路の製造方法。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路の製造方法に関し、特にアルミニウムを主成分とする電極配線を有する半導体集積回路の製造方法に関する。

[従来の技術]

従来、この種の半導体集積回路の電極配線は、第3図に示すように、素子が形成されたシリコン基板1の表面を覆う絶縁膜としてのシリコン酸化膜2に所望の開口部10を設けた後、スパッタリング法によりアルミニウムシリコン合金膜16を被着し、このアルミニウムシリコン合金膜16を所望の形状にパターニングして電極配線が形成されていた。

[発明が解決しようとする課題]

上述した従来の半導体集積回路の製造方法では、第3図に示したように、シリコン基板1上のシリコン酸化膜2に設けられた開口部10が小さくなると、スパッタリング法により形成したアルミニウムシリコン合金膜16が開口部10内に堆積されなくなり、電極配線が断線して半導体集積回路の製造歩留り及び信頼性を低下させるという欠点がある。

[課題を解決するための手段]

本発明の半導体集積回路の製造方法は、半導体

Best Available Copy

基板上に形成された絶縁膜に開口部を設ける工程と、シリコンとアルミニウムの相互拡散を防止するバリアメタル層を少なくとも前記開口部内に形成する工程と、前記開口部内をシリコンで埋設する工程と、埋設された前記シリコン表面を含む前記半導体基板上にアルミニウム膜又はアルミニウム合金膜を形成する工程とを含んで構成される。
(実施例)

次に、本発明について図面を参照して説明する。

第1図(a)～(g)は本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図である。

まず第1図(a)に示すように、素子が形成されたシリコン基板1上に形成されたシリコン酸化膜2に所望の形状の開口部10を形成する。

次に第1図(b)に示すように、全面にチタン膜をスパッタリング法により、200～2000Åの厚さに被着した後、窒素又はアンモニア雰囲気中でハロゲンランプにて600～800℃の温

度で30～120秒の熱処理を行い、開口部10内を下からチタンシリサイド層4と窒化チタン層5とし、シリコン酸化膜2上は窒化チタン層5とする。

次に第1図(c)に示すように、アンモニアと過酸化水素の水溶液で窒化チタン層5を除去した後、再度窒素又はアンモニア雰囲気中で熱処理を行ない、開口部10内のチタンシリサイド層4の表面に窒化チタン層5Aを形成する。このチタンシリサイド層4の表面の窒化にはアンモニア雰囲気中で高周波プラズマにより行なう方法もある。

次に第1図(d)に示すように、減圧CVD法により多結晶シリコンをシリコン基板1の全面に、開口部の径の2分の1以上の膜厚に形成し、開口部10を多結晶シリコン膜7で埋設する。

次に第1図(e)に示すように、シリコン基板1上の多結晶シリコン膜7をシリコン酸化膜2の表面が露出するまでエッチングする。

次に第1図(f)に示すように、銅を1%程度とシリコンを0.5%含んだアルミニウム合金膜

8をスパッタリング法により形成した後、通常のリソグラフィ技術を用い所定の形状にパターニングする。

最後に第1図(g)に示すように、素子の安定化を図るために400～500℃の温度で10～30分程度の熱処理を行なう。この時開口部10内の多結晶シリコンとアルミニウム合金とは相互拡散し、開口部10内はアルミニウム合金膜8Aで実質的に埋設され、アルミニウム合金膜からなる電極配線が形成される。

このようにアルミニウム合金と多結晶シリコンとを相互拡散させるためには、たとえば500℃で熱処理を行なう場合、500℃でのアルミニウム中のシリコンの固溶度が1%程度であるため、アルミニウム合金8中のシリコンは1%以下にする必要がある。

第2図(a)～(d)は本発明の第2の実施例を説明するための工程順に示した半導体チップの断面図である。

まず第2図(a)に示すように、第1の実施例

同様シリコン基板1上に形成されたシリコン酸化膜2に所望の開口部を形成した後、アルゴンと窒素の混合雰囲気中でチタニウムステン合金をスパッタリングし、窒化チタニウムステン合金膜13を500～2000Åの厚さに形成する。

次に第2図(b)に示すように、減圧CVD法により多結晶シリコン膜7を開口部の径の2分の1以上の厚さに形成し、開口部を多結晶シリコン膜7で埋設した後、多結晶シリコン膜7の平坦部での膜厚が数百Åになるまでエッチングする。

次に第2図(c)に示すように、アルミニウム膜15を10000Å程度の厚さにスパッタリング法により形成した後、通常のリソグラフィ技術を用いアルミニウム膜15、多結晶シリコン膜7及び窒化チタニウムステン合金膜13を連続してエッチングし、所定の形状にパターニングする。

次に第2図(d)に示すように、素子の安定化を図るために熱処理を行なう。この時多結晶シリコン膜7とアルミニウム膜15が反応し、アルミニウムシリコン合金膜16となり、窒化チタンタ

特開平2-116124(3)

ングステン合金膜13とアルミニウムシリコン合金膜16との2層構造により電極配線が形成される。

この第2の実施例では、電極配線が窒化チタンタングステン合金膜13とアルミニウムシリコン合金膜16の2層構造により形成されているため、シリコン酸化膜2の開口部内に埋設された多結晶シリコン膜7がアルミニウム膜15と反応せず残ったとしても、シリコン基板1に形成された素子とアルミニウムシリコン合金膜16とは、窒化チタンタングステン合金膜13により接続されているため、素子間が断線してしまう恐れはないという利点を有する。

〔発明の効果〕

以上説明したように本発明は、半導体基板上に形成された絶縁膜に開口部を設けた後、シリコンとアルミニウムの相互拡散を防止するバリアメタル層を少なくとも絶縁膜の開口部内に形成し、更に開口部内をシリコンにて埋設し、アルミニウム又はアルミニウム合金を被着した後、パターンニ

ングして電極配線を形成することにより、絶縁膜の開口部が小さくなくても、開口部内をアルミニウム合金で埋設し平坦化できるため、電極配線に断線を生ずることはなくなり、半導体基板内に形成された素子の接続を確実に行うことができる。

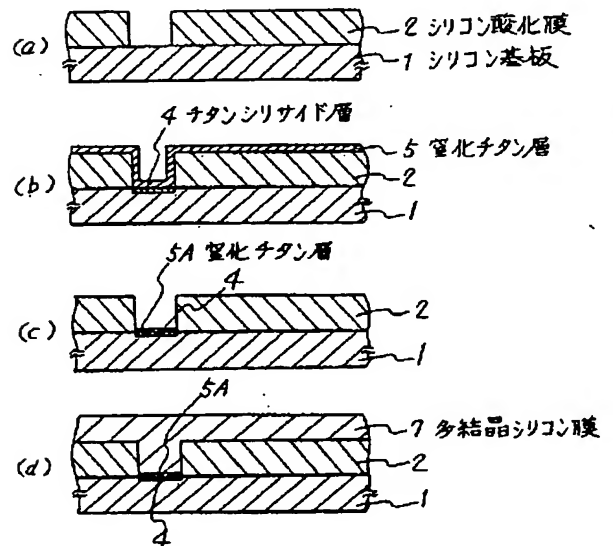
また、半導体基板とアルミニウム合金の間にはバリアメタル層があるため、アルミニウムにより素子が破壊されるという恐れは全くなくなるという効果もある。従って半導体集積回路の製造歩留り及び信頼性は向上する。

図面の簡単な説明

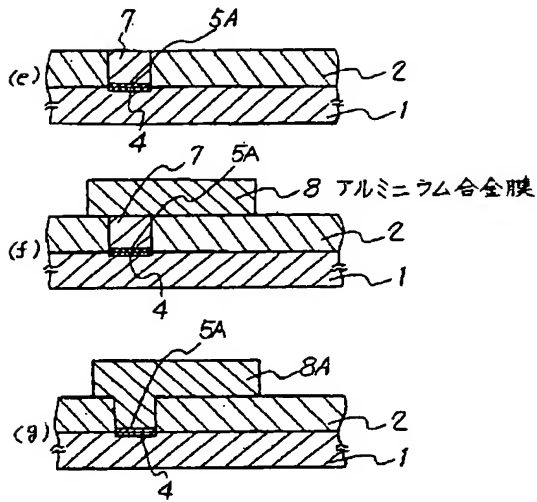
第1図及び第2図は本発明の第1及び第2の実施例を説明するための半導体チップの断面図、第3図は従来の半導体集積回路の製造方法を説明するための半導体チップの断面図である。

1…シリコン基板、2…シリコン酸化膜、4…チタンシリサイド層、5、5A…窒化チタン層、7…多結晶シリコン膜、8…アルミニウム合金膜、13…窒化チタンタングステン合金膜、15…アルミニウム膜、16…アルミニウムシリコン合金膜。

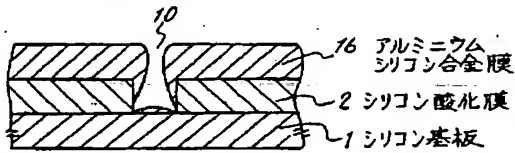
第1図



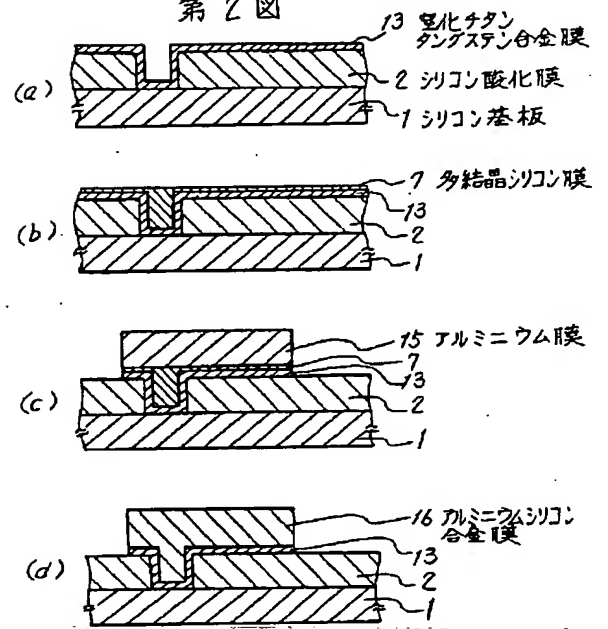
第1図



第3図



第2図



Best Available Copy